

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

#3  
3-28-01

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Gab-Joong JEONG, et al.

Serial No.: 09/749,795 OIPE Group Art Unit: 2181

Filed: Dec. 28, 2000 FEB 28 2001 Examiner: Not Yet Assigned

Title: DISTRIBUTED TYPE INPUT BUFFER SWITCH SYSTEM FOR  
TRANSMITTING ARBITRATION INFORMATION EFFICIENTLY AND  
METHOD FOR PROCESSING INPUT DATA USING THE SAME.

\* \* \* \* \*

CLAIM FOR PRIORITY  
UNDER 35 U.S.C. § 119

Honorable Commissioner for Patents  
Washington, D.C. 20231

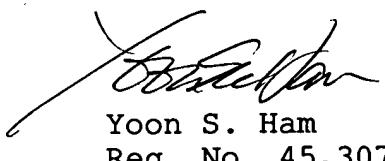
February 28, 2001

Sir:

The benefit of the filing date of prior foreign application  
No. 2000-14113 filed in Korea on March 20, 2000, is hereby  
requested and the right of priority provided in 35 U.S.C. §119 is  
hereby claimed.

In support of this claim, filed herewith is a certified copy  
of said original foreign application.

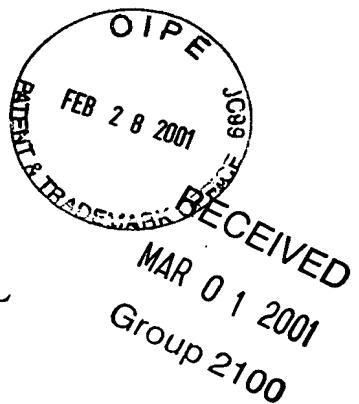
Respectfully submitted,

  
Yoon S. Ham  
Reg. No. 45,307

JACOBSON, PRICE, HOLMAN & STERN, PLLC  
400 Seventh Street, N.W.  
Washington, D.C. 20004-2201  
Telephone: (202) 638-6666

Atty. Docket No.: P66252US0  
YSH:ecl

<Priority Document Translation>



THE KOREAN INDUSTRIAL  
PROPERTY OFFICE

This is to certify that annexed hereto is a true copy from the records of the Korean Industrial Property Office of the following application as filed.

Application Number : 2000-14113(patent)

Date of Application : March 20, 2000

Applicant(s) : 1) ELECTRONICS AND TELECOMMUNICATIONS  
RESEARCH INSTITUTE  
2) KOREA TELECOM

December 28, 2000

COMMISSIONER

대한민국특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 14113 호  
Application Number

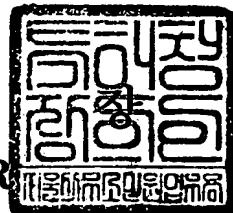
출원년월일 : 2000년 03월 20일  
Date of Application

출원인 : 한국전기통신공사 외 1명  
Applicant(s)

2000 년 12 월 28 일

특 허 청

COMMISSIONER



1020000014113

2000/12/2

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.03.20
【발명의 명칭】	중재 지연 내성의 분산형 입력 버퍼 스위치 시스템 및 그 를 이용한 입력 데이터 처리 방법
【발명의 영문명칭】	DISTRIBUTED TYPE INPUT BUFFER SWITCH SYSTEM HAVING ARBITRATION LATENCY TOLERANCE AND METHOD FOR PROCESSIN INPUT DATA USING THE SAME
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【출원인】	
【명칭】	한국전기통신공사
【출원인코드】	2-1998-005456-3
【대리인】	
【성명】	박해천
【대리인코드】	9-1998-000223-4
【포괄위임등록번호】	1999-002716-1
【포괄위임등록번호】	1999-039904-1
【대리인】	
【성명】	원석희
【대리인코드】	9-1998-000444-1
【포괄위임등록번호】	1999-002726-9
【포괄위임등록번호】	1999-039905-9
【발명자】	
【성명의 국문표기】	정갑종
【성명의 영문표기】	JEONG, Gab Joong
【주민등록번호】	640616-1682818
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 131-705
【국적】	KR

1020000014113

2000/12/2

【발명자】

【성명의 국문표기】 이정희  
【성명의 영문표기】 LEE, Jung Hee  
【주민등록번호】 610920-2690528  
【우편번호】 305-333  
【주소】 대전광역시 유성구 어은동 한빛아파트 113-906  
【국적】 KR

【발명자】

【성명의 국문표기】 이범철  
【성명의 영문표기】 LEE, Bum Cheol  
【주민등록번호】 570816-1030517  
【우편번호】 305-333  
【주소】 대전광역시 유성구 어은동 99번지 한빛아파트 113-206  
【국적】 KR

【발명자】

【성명의 국문표기】 박권철  
【성명의 영문표기】 PARK, Kwon Chul  
【주민등록번호】 531008-1650810  
【우편번호】 305-390  
【주소】 대전광역시 유성구 전민동 엑스포아파트 109-301  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사를 청구합니다. 대리인  
박해천 (인) 대리인  
원석희 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	20	면	20,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	12	항	493,000	원
【합계】			542,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

## 【요약서】

### 【요약】

#### 1. 청구범위에 기재된 발명이 속한 기술분야

본 발명은 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템 및 그를 이용한 입력 데이터 처리 방법에 관한 것임.

#### 2. 발명이 해결하려고 하는 기술적 과제

본 발명은, 입력 버퍼에 이중의 파이포(FIFO : first-in-first-out) 버퍼를 두고 중앙 중재기에 요청 파이포(FIFO) 버퍼를 두어 전송지연에 무관하게 발생된 요청에 대해 중재를 수행하는 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템 및 그를 이용한 입력 데이터 처리 방법을 제공하고자 함.

#### 3. 발명의 해결방법의 요지

본 발명은, 입력 데이터 처리수단에서 매칭되는 입력포트로부터 입력 데이터를 받아 목적하는 출력포트별로 저장 관리하는 제 1 단계; 상기 입력 데이터 처리수단에서 상기 입력 데이터에 대한 중재 요청 신호를 중재 수단으로 전송하고 중재 요청 신호가 전송된 입력 데이터에 대한 정보를 저장 관리하는 제 2 단계; 중재수단이 전송받은 중재 요청 신호에 대해 입력 데이터 처리수단 및 목적하는 출력포트별로 관리하는 제 3 단계; 입력 데이터 처리수단과 목적 출력포트에 따라 중재 요청을 확인하여 중재를 수행하고 그 결과를 상기 입력 데이터 처리수단과 스위칭 수단으로 전송하는 제 4 단계; 및 상기 입력 데이터 처리수단이 출력 허가 신호를 수신하여 저장된 입력 데이터에 대한 정보를 확인하고 스위칭 수단으로 전송하여 입력 데이터에 대한 처리를 수행하는 제 5 단계를

1020000014113

2000/12/2

포함함.

#### 4. 발명의 중요한 용도

본 발명은 스위치 시스템 등에 이용됨.

#### 【대표도】

도 2

#### 【색인어】

스위치, 중재 지연, 셀 주소, 순차적, 입력 버퍼

**【명세서】****【발명의 명칭】**

중재 지연 내성의 분산형 입력 버퍼 스위치 시스템 및 그를 이용한 입력 데이터 처리 방법{DISTRIBUTED TYPE INPUT BUFFER SWITCH SYSTEM HAVING ARBITRATION LATENCY TOLERANCE AND METHOD FOR PROCESSING INPUT DATA USING THE SAME}

**【도면의 간단한 설명】**

도 1 은 종래의 분산형 입력 버퍼 스위치 시스템의 구성예시도.

도 2 는 본 발명에 따른 중재 지연 내성의 분산형 입력버퍼 스위치 시스템에 대한 일실시예 구성도.

도 3 은 본 발명에 따른 입력 버퍼의 일실시예 상세구성도.

도 4 는 본 발명에 따른 가상 출력 큐의 입력 데이터에 대한 중재 요청 신호 발생 과정의 일실시예 흐름도.

도 5 는 본 발명에 따른 입력 버퍼에서의 허가 신호 처리 과정에 대한 일실시예 흐름도.

도 6 은 본 발명에 따른 중앙 중재기의 일실시예 상세구성도.

도 7 은 본 발명에 따른 중재 요청 신호 처리 과정에 대한 일실시예 흐름도.

도 8 은 본 발명에 따른 중재 요청 신호 처리 과정에서 요청 벡터 생성에 대한 일 실시예 설명도.

도 9 는 본 발명에 따른 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템에서의 일실시예 처리 타이밍도.

\*도면의 주요 부분에 대한 부호의 설명

21 : 입력 버퍼

22 : 중앙 중재기

23 : 스위치

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템 및 그를 이용한 입력 데이터 처리 방법에 관한 것으로, 특히 중앙 중재기(central arbiter)가 다중 입력포트로부터의 전송 요청(request)을 모아서 모든 입력 포트들이 공유하는 각 출력 포트에서 최대한 많은 전송 허가(grant)를 빠른 시간 내에 결정하고 그 결과를 각 분산 입력 버퍼들에게 고속으로 전달(transmission)하는 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템 및 그를 이용한 입력 데이터 처리 방법에 관한 것이다.

<14> 분산형 입력 버퍼 스위치(distributed type input buffer switch)에서 고속의 입력 버퍼(input buffer) 및 중앙 중재기(central arbiter)가 스위치의 처리 용량(throughput)을 결정한다. 일반적으로 중앙 중재기(central arbiter)의 총 중재 시간(total arbitration time)은 하나의 입력 데이터에 대해 중재할 새로운 전송

요청(request) 신호(signal)를 각 입력 버퍼(input buffer)로부터 받아들이는 전송 시간(transmission time)과 실제 중재 시간(arbitration time)과 중재 결과를 이용하여 생성된 허가(grant) 신호(signal)를 각 입력 버퍼로 전달(transmission)하는 시간을 모두 포함한 시간을 의미한다. 고속으로 동작(high-speed)하는 중앙 중재기(central arbiter)의 경우 더욱 많은 입력 버퍼로부터의 전송 요청(request) 신호를 전송받아야 하며 더욱 많은 허가(grant) 신호를 모든 입력 버퍼들에게 전달하여야 한다.

<15>      도 1 은 종래의 분산형 입력 버퍼 스위치 시스템의 구성예시도이다.

<16>      종래의 분산형 입력 버퍼 스위치 시스템은 N개의 입력 버퍼( $B_1 \sim B_N$ , 11), 중앙 중재기(Central arbiter, 12) 및 공간 분할 스위치(Space-Division Switch, 13)를 포함하여 이루어진다. 각각의 입력 버퍼(11)에는 출력 포트의 수에 대응하는 다수 개의 가상 출력 큐(VOQ : Virtual Output Queue, 111)가 있다.

<17>      도 1 은 종래 기술에 따라 전송 요청(request) 신호의 전달, 중재(arbitration) 처리 및 허가(grant) 신호의 전달이 단위 데이터 패킷 처리 시(processing time)마다 이루어지는 스위치 시스템의 구조를 설명하기 위하여 도시한 도면이다. 여기서, 각 입력 및 출력 포트의 데이터 패킷(data packet) 전송 속도(transmission speed)가 빨라지면 각 단위 데이터 패킷(unit data packet) 처리 시간(processing time)이 작아지며 고속의 중앙 중재기(central arbiter, 12)라 할지라도 그 짧은 단위 데이터 패킷의 전송 시간 내에 각 입력 버퍼(11)와 중앙 중재기(12) 사이의 요청 신호(request signal) 전송(transmission)과 중재(arbitration) 및 허가 신호(grant signal) 전송(transmission)을 완수하기 어려운 문제점이 있었다.

<18>      즉, 기존에는 입력버퍼에 있는 하나의 데이터에 대해 중재 요청 신호 전송, 중재

처리 및 허가 신호 전송이 이루어진 후에야 입력 버퍼의 다음 입력 데이터에 대해 중재 요청 신호를 전송할 수 있어 입력 버퍼의 수가 많거나 요청 및 허가 신호 데이터의 양이 많은 경우에 이의 전송에 따른 지연이 많이 일어나는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은, 상기한 바와 같은 문제점을 해결하기 위하여 안출된 것으로, 입력 버퍼에 이중의 파이포(FIFO : first-in-first-out) 버퍼를 두고 중앙 중재기에 요청 파이포(FIFO) 버퍼를 두어 요청신호와 허가신호의 전송지연에 무관하게 발생된 요청에 대해 중재를 수행하는 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템 및 그를 이용한 입력 데이터 처리 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위한 본 발명의 시스템은, 분산형 입력 버퍼 스위치 시스템에 있어서, 입력포트에 매칭되어 입력된 데이터를 목적하는 출력포트별로 저장 관리하며, 스위칭을 위한 중재 요청을 하고, 중재 요청이 수행된 데이터에 대한 정보를 저장 관리하기 위한 적어도 하나의 입력 데이터 처리수단; 상기 적어도 하나의 입력 데이터 처리수단으로부터 중재 요청 신호를 받아 상기 입력 데이터 처리수단 및 목적하는 출력포트 별로 관리하며, 중재 요청에 따라 중재를 수행하기 위한 중재 수단; 및 상기 입력 데이터 처리수단으로부터 데이터를 전송받아 상기 중재 수단으로부터의 명령에 따라 스위칭을 수행하여 상기 출력포트로 전송하기 위한 스위칭 수단을 포함하는 것을 특

정으로 한다.

<21> 또한, 본 발명의 방법은, 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템에 적용되는 입력 데이터 처리 방법에 있어서, 입력 데이터 처리수단에서 매칭되는 입력포트로부터 입력 데이터를 받아 목적하는 출력포트별로 저장 관리하는 제 1 단계; 상기 입력 데이터 처리수단에서 상기 입력 데이터에 대한 중재 요청 신호를 중재 수단으로 전송하고 중재 요청 신호가 전송된 입력 데이터에 대한 정보를 저장 관리하는 제 2 단계; 중재 수단이 전송받은 중재 요청 신호에 대해 입력 데이터 처리수단 및 목적하는 출력포트별로 관리하는 제 3 단계; 입력 데이터 처리수단과 목적 출력포트에 따라 중재 요청을 확인하여 중재를 수행하고 그 결과를 상기 입력 데이터 처리수단과 스위칭 수단으로 전송하는 제 4 단계; 및 상기 입력 데이터 처리수단이 출력 허가 신호를 수신하여 저장된 입력 데이터에 대한 정보를 확인하고 스위칭 수단으로 전송하여 입력 데이터에 대한 처리를 수행하는 제 5 단계를 포함하는 것을 특징으로 한다.

<22> 본 발명은 고속의 분산형 입력 버퍼(distributed type input buffer)를 가지는 셀 프 라우팅 스위치 시스템(self-routing switch system)에서 필연적으로 요구되는 중앙 중재기(central arbiter)의 효과적인 중재 문제(arbitration problem) 및 스위치의 고 처리용량(high throughput) 지원 문제를 해결하기 위한 것으로 고속으로 동작하는 파이프라인방식(pipelined)의 분산형(distributed type) 스위치 시스템이다. 각각의 입력버퍼는 출력포트별 큐를 가지고 있고 입력 데이터 셀들을 출력 포트별로 큐잉(queuing)하는 가상 출력 큐(VOQ : virtual output queue)를 지원하며 또한 출력포트별 셀 주소 FIFO(FIFO : first-in-first-out) 버퍼를 가진다.

<23> 각 출력포트에 해당하는 VOQ에 저장된 셀(queued cell)이 있을 때 입력버퍼는 중앙

중재기(central arbiter)로 해당 출력 포트의 전송 요청(transmission request) 신호를 보냄과 동시에 저장된 셀의 주소를 큐에서 읽어내어 해당 출력포트의 셀 주소 FIFO 버퍼에 옮겨놓는다. 중앙 중재기(central arbiter)는 전송 요청 신호(request signal) FIFO 버퍼와 중재회로(arbitration logic) 블록을 가지며 모든 입력 버퍼로부터 전송되어 들어온 전송 요청 신호(request signal)를 FIFO 버퍼에 저장한다.

<24> 중앙 중재기의 중재회로(arbitration logic) 블록은 전송 요청 신호(request signal) FIFO 버퍼에 저장되어있는 모든 요청(request) 신호에 대해 중재(arbitration) 하며, 하나의 단위 데이터 패킷(unit data packet) 처리 시간(processing time) 내에 중재 결과에 따른 허가(grant) 신호를 생성한다. 생성된 허가(grant) 신호는 각 입력 버퍼로 전달되며, 입력 버퍼에서는 허가 신호에 따라 출력포트별 셀 주소 FIFO 버퍼에서 출력 셀 주소를 이용해 셀을 출력한다. 본 발명에서 제안된 모든 방식은 단위 데이터 패킷(unit data packet) 처리 시간(processing time)을 기준으로 하여 동작하고, 각 단위별 파이프라인(pipeline) 방식의 동작으로 인하여 대용량의 전송 요청 신호를 처리할 수 있게 하기 위한 것이며, 각 방식들은 각 블록에서 발생하는 전송지연(transmission latency)을 감내(tolerant)하는 구조로 되어 있으면서도 스위치의 고 처리율(high through)을 지원하는 구조로 되어있다.

<25> 즉, 본 발명은 중재 요청 전송, 중재 처리, 중재 결과 전송을 구분지어 처리하며, 중재 요청된 데이터는 따로 저장함으로써 그 다음에 들어온 입력 데이터에 대한 중재 요청을 수행할 수 있다.

<26> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일

실시예를 상세히 설명한다.

<27> 도 2 는 본 발명에 따른 중재 지연 내성의 분산형 입력버퍼 스위치 시스템에 대한 일실시예 구성도이다.

<28> 본 발명에 따른 중재 지연 내성의 분산형 입력버퍼 스위치 시스템은, 입력 포트에 대응하는 다수개의 입력 버퍼(Input Buffer  $B_i$  ( $1 \leq i \leq N$ ), 21), 중재(arbitration)를 수행하는 중앙 중재기(Central Arbiter, 22) 및 주어지는 명령에 따라 입력되는 데이터를 초위칭하는 스위치(Space Division Switch, 23)를 포함하여 이루어진다.

<29> 입력버퍼(Input Buffer  $B_i$  ( $1 \leq i \leq N$ ), 21)는 가상 출력 큐(VOQ : Virtual Output Queue  $Q_i$  ( $1 \leq i \leq N$ ), 211), 큐 컨트롤러(QC : Queue Controller, 212), 셀 주소 파이포 (CAF : Cell Address FIFO  $F_{i,j}$  ( $1 \leq i \leq N$ ,  $1 \leq j \leq L$ ), 213) 및 유휴 주소 큐(Idle Queue, 214)를 포함하며, 중앙 중재기(Central Arbiter, 22)는 요청 배열(Request Matrix, 221), 요청 파이포 컨트롤러(RFC : Request FIFO Controller, 222) 및 중재회로 (Arbitration Logic, 223)을 포함한다.

<30> 도 2 에 나타내어진 바와 같이 입력 버퍼(input buffer, 21)의 가상 출력 큐(VOQ, 211)들에 각각 매칭되는 출력 셀 주소 FIFO 버퍼(213)를 가진다. 또한, 중앙 중재기(22)의 중재 회로(223) 외에 각 입력 버퍼별 출력 포트당 요청(request) 신호를 저장하는 요청 배열(request matrix, 221)을 가지며, 이 요청 배열(request matrix, 221)은 각 요청 배열 요소(request matrix element)당 요청(request) 신호 FIFO(RF : Request FIFO  $R_{i,j,k}$  ( $1 \leq i \leq N$ ,  $1 \leq j \leq N$ ,  $1 \leq k \leq L$ )) 버퍼(2211)를 가진다.

<31> 본 발명은, 입력 버퍼(21)와 중앙 중재기(22) 사이에 발생하는 데이터 전송(data

transmission) 시에 물리적(physical)이나 논리적(logical)인 이유로 전송 지연(transmission latency) T가  $m(0 \leq m)$ 개 있는 경우에도 스위치 성능에 영향을 미치지 않고 높은 처리율(high throughput)을 지원하는 스위치 시스템이다.

<32> 전송 지연(transmission latency)이 없는 경우는  $T_0$ 의 전송 지연에 해당한다. 입력 버퍼(21)에 존재하는 출력 셀 주소 FIFO 버퍼(CAF buffer, 213) 및 중앙 중재기(22)에 존재하는 각 요청 FIFO 버퍼(Request FIFO buffer, 2212)의 크기(size) L은 전송지연의 수에 무관하며 성능의 향상을 위하여 가감할 수 있다.

<33> 본 발명인 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템은, 도면에 나타낸 바와 같이 CAF 버퍼(213)와 요청 배열(221) 등이 있어 스위칭을 위한 입력 데이터를 분산 대기시킴으로써 고속의 처리시간을 갖게 된다.

<34> 도 3 은 본 발명에 따른 입력 버퍼의 일실시예 상세구성도이다.

<35> 도 3 에 나타내어진  $B_i(1 \leq i \leq N)$ 의 입력 버퍼(21)는 입력 버퍼(21)에 도달한 데이터 패킷(data packet)들을 각 데이터 패킷의 목적 포트별로 큐잉(queuing)을 하는 가상 출력 큐(VQ)  $Q_i(1 \leq i \leq N)(211)$ , 큐 컨트롤러(QC, 212), 각 가상 출력 큐(VQ, 211)당 하나의 셀 주소 FIFO 버퍼(CAF buffer)  $F_{i,j}(1 \leq i \leq N, 1 \leq j \leq L)(213)$  및 유휴 주소 큐(idle queue, 214)로 이루어진다. 여기서, N은 스위치 사이즈이고, L은 FIFO 버퍼의 길이(length)이다.

<36> 출력 셀 주소 FIFO(213)의 한 요소는 출력될 셀의 주소(2132)와 현재 출력 주소가 유효한 주소(valid address) 인지를 나타내는 유효 비트(valid bit, 2131)로 이루어진다

<37> 도 4 는 본 발명에 따른 가상 출력 큐의 입력 데이터에 대한 중재 요청 신호 발생 과정의 일실시예 흐름도이다.

<38> 각 입력 버퍼에서의 하나의 가상 출력 큐(VOQ, 211)의 데이터에 대한 본 발명의 중재 요청 신호 발생 과정을 도 4 에 흐름도로 나타내었다.

<39> 가상 출력 큐(211)의 큐 길이가 0보다 클 때, 즉 가상 출력 큐(211)에 데이터 셀이 대기하고 있을 때 중재 요청 신호 발생 대상이 되는데 해당 큐에 매칭되는 출력 셀 주소 FIFO 버퍼(213)의 첫(head) 요소(element)가 유효 셀 주소(valid cell address)가 아닐때만 중앙 중재기(22)로 요청 신호가 발생되고 그렇지 않을 때는 요청 신호가 발생하지 않는다. 즉, 출력 셀 주소 FIFO 버퍼(213)에 중재 요청 신호가 발생한 데이터의 정보가 L개로 꽉 찼을때는 그 후의 입력 데이터에 대한 중재 요청 신호는 발생하지 않는다. 여기서, 출력 셀 주소 FIFO 버퍼(213)의 첫(head) 요소(element)라는 것은 입력 데이터가 저장된 해당 셀의 주소가 출력 셀 주소 FIFO 버퍼(213)의 마지막부터 채워지므로 가장 나중에 셀 주소가 채워지는 버퍼, 즉  $Q_i$ 에 대한  $F_{i,L}$ 이다.

<40> 또한, 각 가상 출력 큐(VOQ, 211)의 데이터에 대한 중재 요청 신호가 발생했을 때에만 해당 셀의 주소를 가상 출력 큐(VOQ, 211)로부터 읽어내어 해당 출력 셀 주소(output cell address) FIFO(213)의 기존 내용을 쉬프트(shift)시키면서 FIFO(213)의 마지막(tail) 요소(element) 위치(location)  $F_{i,1}$ 에 저장하며, 해당 요소(element)의 유효 비트(valid bit)를 유효(valid)로 하여 저장한다. 이때, 유효 비트를 유효(Valid)로 체크하는 것은 중재 요청된 데이터의 셀 주소가 저장되었음을 표시하는 것이다.

<41> 중재 요청(request) 신호가 발생된 가상 출력 큐(211)에서는 처리해야할 데이터를

다음 대기 셀(next cell)의 주소 값으로 갱신(update)하며 큐 길이(queue length)는 감소된다.

- <42> 이를 도면의 흐름을 통해 설명하면 다음과 같다.
- <43> 우선, 가상 출력 큐(211)의 큐 길이가 0보다 크고, 해당 큐에 매칭되는 출력 셀 주소 FIFO 버퍼(213)의 첫 요소가 비유효(Invalid) 셀 주소를 가지는지를 확인한다(401). 이때, 비유효 셀 주소라는 것은 중재 요청된 데이터의 셀 주소가 없다는 것을 의미한다. 즉, 출력 셀 주소 FIFO 버퍼(213)가 꽉 차 있는지를 확인한다.
- <44> 확인 결과, 가상 출력 큐의 길이가 0보다 크지 않거나 출력 셀 주소 FIFO 버퍼의 첫 요소의 유효 비트가 유효(valid) 값을 가지면 입력 버퍼(21)에서 중앙 중재기(22)로의 중재 요청 신호 발생 과정을 생략한다.
- <45> 가상 출력 큐(211)의 큐 길이가 0보다 크고, 해당 큐에 매칭되는 출력 셀 주소 FIFO 버퍼(213)의 첫 요소가 비유효 셀 주소를 가지는지를 확인한 결과, 가상 출력 큐의 큐 길이가 0보다 크고 출력 셀 주소 FIFO 버퍼의 첫 요소가 비유효(Invalid) 셀 주소를 가지면, 중앙 중재기(22)로 중재 요청 신호를 발생시켜 전송한다(402).
- <46> 출력 셀 주소 FIFO 버퍼(213)의 기존 내용을 앞으로 한 요소(element)씩 쉬프트시키고(403), FIFO 버퍼의 마지막 요소 위치에 셀 주소를 가상 출력 큐(211)로부터 읽어와 저장하고, 유효 비트는 유효(valid)로 체크한다(404). 요청 신호가 발생된 가상 출력 큐(211)에서는 다음 대기 셀의 주소 값으로 큐를 갱신하고, 큐 길이를 감소시킨다(405).
- <47> 도 5 는 본 발명에 따른 입력 버퍼에서의 허가 신호 처리 과정에 대한 일실시 예 흐름도이다.

<48> 각 입력 버퍼에서 중앙 중재기(central arbiter)로부터 전송받은 허가(grant) 신호 및 출력 큐(output queue) 주소(address)에 대한 허가 신호 처리 과정을 도 5에 흐름도(flow chart)로 나타내었다.

<49> 출력포트별로 정렬된 입력 버퍼(21)의 CAF(213)에서는 중앙 중재기(22)에서 중재 처리된 경우에 출력을 허가하는(valid) 허가(grant) 신호를 전달받게 되고, 중앙 중재기(22)에서의 중재 처리가 이뤄지지 않은 경우에는 출력을 허가하지 않는(Invalid) 허가(grant) 신호가 전달된다.

<50> 출력 셀 주소 FIFO 버퍼(213)에 허가(grant) 신호가 유효(valid)로 전송되었으면, 대기중인 유효 셀(valid cell) 주소들 중에서 가장 앞에 위치한(earliest) 유효 셀(valid cell) 주소(address)를 이용하여 출력 셀(output cell)을 셀 버퍼 메모리(cell buffer memory)로부터 읽어내어, 해당 출력 포트(output port)로 전송(transmission)하며, 셀 버퍼 메모리(cell buffer memory)에 전송된 셀(transmitted cell)이 있던 주소값(address value)은 유휴 셀 주소 큐(idle cell address queue, 214)에 복귀되며, 사용된 출력 셀 주소(output cell address) FIFO 버퍼의 요소(element)에는 유효 비트(valid bit)를 비유효(invalid) 값으로 갱신(update)하여 처리할 셀 주소가 저장되어 있지 않음을 표시한다.

<51> 이때, 중앙 중재기(central arbiter)로부터 전송받은 허가(grant) 신호를 이용하여 허가 신호가 발생한 출력 셀 주소 FIFO 버퍼에 대해서 리딩원 탐색(leading one detection) 회로(logic)를 이용하여 허가(grant)된 출력 셀(output cell) 주소(address) FIFO 버퍼(buffer) 내에서 가장 앞에 위치한(earliest) 유효(valid) 셀(cell) 주소

(address) 요소(element)를 비유효(invalid) 셀 주소(cell address)로 갱신(update)하게 된다.

<52> 여기서, 유효 셀(valid cell)은 출력 포트를 통해 출력되기 위해 CAF(213)에서 스위칭 처리를 대기하고 있는 셀 주소에 매칭되어 셀 버퍼 메모리에 실제 저장된 셀을 말한다.

<53> 이를 도면의 흐름에 따라 설명하면 다음과 같다.

<54> CAF(213)에서는 허가 신호가 유효로 체크되어 전송되었는지를 검사한다(501). 즉, 해당 CAF(213)에서 출력 포트로 입력 데이터인 셀을 전송하도록 허가되었는지를 검사한다.

<55> 검사 결과, 허가 신호가 유효로 전송되었으면 출력 셀 주소 FIFO(CAF) 버퍼(213)에 있는 가장 오래된 유효 셀 주소를 확인하여(502), 확인된 셀 주소를 이용하여 출력할 데이터인 셀을 찾고, 이를 스위치(23)로 전송한다(503).

<56> 셀 주소가 있던 출력 셀 주소 FIFO 버퍼의 요소(element)에 처리할 셀 주소가 없음(Invalid)을 표시하고(504), 스위치로 전송된 셀이 저장되어 있던 셀 주소를 유휴 셀 주소 큐(214)에 저장한다(505). 유휴 셀 주소 큐(214)에서는 셀 주소를 저장하고 있다가 입력 버퍼(21)에 새로운 입력 데이터가 들어오면 이를 저장할 셀 주소를 제공한다.

<57> 도 6 은 본 발명에 따른 중앙 중재기의 일실시에 상세구성도이다.

<58> 입력 버퍼(21)에서 관리하는 출력 셀 주소(output cell address) FIFO(first-in-first-out) 버퍼(buffer)(213)와 함께 작용하는 요청(request) FIFO(first-in-first-out) 버퍼(buffer)(2211)를 가지는 본 발명의 중앙

중재기(central arbiter, 22)를 도 6에 나타내었다.

<59> 중앙 중재기(22)는 중재 처리를 수행하는 중재 회로(arbitration logic, 223), 전송받은 요청 신호를 입력 버퍼, 입력 버퍼내에서의 출력포트별로 구분지어 저장하는 요청 배열(Request matrix, 221) 및 요청 배열(221)내의 정보를 제어하며 요청 배열(221)과 중재 회로(223)를 연계시켜주는 요청 파이프 컨트롤러(RFC : Request FIFO Controller, 222)로 이루어진다.

<60> 이때, 요청 배열(221) 내에는 모든 입력 버퍼들로부터 전송받은 요청 신호를 저장하는 요청(request) FIFO 버퍼  $R_{i,j,k}$  ( $1 \leq i \leq N$ ,  $1 \leq j \leq N$ ,  $1 \leq k \leq L$ ) (2211)이 있다.

<61> 요청 배열(221)내의 각 요청 FIFO 버퍼(2211)의 크기( $L$ )는 입력 버퍼(21)에 있는 출력 셀 주소 FIFO 버퍼(213)의 크기( $L$ )와 같다. 이는 출력 셀 주소 FIFO 버퍼(213)에 중재 요청을 한 셀 주소가 다 채워지게 되면, 입력 버퍼(21)에서 더 이상 중재 요청 신호를 발생하지 않기 때문이다. 물론 이 FIFO 버퍼 크기( $L$ )의 변경은 충분히 가능하다.

<62> 각 입력 버퍼의 각 출력 큐로부터 발생된 요청 신호를 다른 모든 입력 버퍼와 다른 모든 출력 큐에 독립적인 요청(request) FIFO 버퍼에 저장한다. 예를 들어 하나의 저장된 요청 신호  $R_{i,j,k}$ 는  $i$ 번째 입력 버퍼  $B_i$ 의  $j$ 번째 출력 큐  $Q_j$ 의  $k$ 번째 요청 FIFO 버퍼 요소(element)를 의미한다.

<63> 도 7은 본 발명에 따른 중재 요청 신호 처리 과정에 대한 일실시예 흐름도이다.

<64> 중앙 중재기(central arbiter, 22)에서 이루어지는 입력 버퍼(input buffer, 21)로부터 전송(transmission)받은 중재 요청 신호(request signal)에 대한 본 발명의 요청 신호 처리 과정을 도 7에 흐름도(flow chart)로 나타내었다.

<65> 중앙 중재기(22)는 모든 입력 버퍼(input buffer, 21)로부터의 중재 요청 신호(request signal)를 모든 출력 포트(output port)에 대해 받아들인다.

<66> 중재 요청 신호(request signal)가 있는 경우에 해당 요청 배열(request matrix) 요소(element)의 요청(request) FIFO 버퍼(buffer)의 기존 내용을 쉬프트(shift) 시키고, 요청 FIFO 버퍼의 마지막 요소(tail element)를 유효(valid)로 갱신(update)하여, 해당 입력 버퍼의 해당 출력포트를 나타내는 셀 주소 버퍼로부터 중재 요청이 들어왔음을 표시한다.

<67> 중앙 중재기(central arbiter, 22) 내의 중재 회로(arbitration logic, 223)에 필요한 중재 회로(arbitration logic) 입력 요청 벡터(input request vector)는 각 요청 FIFO 버퍼(2211)마다 하나의 요청 신호가 생성되며 이렇게 생성된 요청 신호가 모든 입력 버퍼에 대한 요청 벡터(request vector)로 중재 회로(arbitration logic, 223)에 입력된다.

<68> 중재 회로(223)에 의해 각 입력 포트(input port)에 대한 출력 포트(output port)가 할당되어 허가(grant) 신호가 생성되면 각 허가(grant) 신호에 따라 해당 입력 버퍼(input buffer)의 해당 출력 포트(output port)에 대한 요청(request) FIFO 버퍼(buffer)의 내용 중 요청(request)이 존재하는(valid) 가장 앞에 위치한(earliest) 요청(request) 요소(element)를 비유효(invalid) 요청으로 갱신(update)하고, 허가되었음을 해당 입력 버퍼의 해당 출력 셀 주소 FIFO 버퍼로 전달한다. 이때, 비유효 요청으로 갱신된다는 것은 그 요소(element)에 대한 처리가 이뤄졌다는 것이고, 새로운 요청 데이터를 받아들일 수 있다는 것이다.

<69> 이를 도면의 흐름에 따라 나타내면 다음과 같다.

<70> 우선, 중앙 중재기(22)에서는 입력버퍼  $B_i$ 의 출력큐  $Q_j$ 에서 중재 요청 신호가 입력되었는지를 확인한다(701). 확인 결과, 중재 요청 신호가 있으면 이를 요청 배열(221) 내의 해당 요청 FIFO 버퍼(2211)에 저장하기 위해, 요청 FIFO 버퍼(2211) 내에 있는 기존의 중재 요청 정보를 앞으로 쉬프트시키고(702), 요청 FIFO 버퍼(2211)의 마지막 요소에 입력된 중재 요청 정보를 저장한다(703). 입력된 중재 요청 신호에 대한 처리가 끝났으면 요청 FIFO 버퍼(2211)가 비었는지를 검사하는 과정(704)을 수행한다.

<71> 중앙 중재기(22)에서 중재 요청 신호가 입력되었는지를 확인한 결과, 입력된 중재 요청 신호가 없으면, 요청 FIFO 버퍼(2211)가 비었는지를 검사하는 과정(704)을 수행한다.

<72> 검사 결과, 요청 FIFO 버퍼(2211)가 비어서 중재 요청 정보가 없으면, 이번 클럭에서의 중재 요청 처리 과정을 종료한다.

<73> 검사 결과, 요청 FIFO 버퍼(2211)가 비어 있지 않아서 중재 요청 정보가 있으면 중재 요청 벡터를 생성하여(705), 중앙 중재기(22)의 중재 회로(223)에서 중재를 수행한다(706). 중재를 수행한 후에는, 요청 FIFO 버퍼(2211)에 해당하는 입력버퍼  $B_i$ 의 출력큐  $Q_j$ 로부터 입력된 중재 요청 신호에 대해 출력 허가 신호가 유효로 나왔는지를 판단한다(707). 판단 결과, 출력 허가 신호가 유효로 나왔으면, 해당 요청 FIFO 버퍼(2211)에서 가장 먼저 들어온 중재 요청 신호에 대한 정보를 삭제하여 요청 FIFO 버퍼(2211)를 비우고 다음에 들어올 중재 요청 신호를 대기한다(708).

<74> 판단 결과, 출력 허가 신호가 유효로 나오지 않았으면 이번 클럭에서의 중재 요청 처리 과정을 종료한다.

<75> 상기한 중앙 중재기에서의 중재 요청 처리 과정은 해당 입력버퍼, 해당 출력포트에 해당하는 요청 FIFO 버퍼에서의 중재 요청 처리 과정을 나타낸 것이다.

<76> 중재 회로에서 중재가 수행된 후에는 출력 허가가 되어 허가 신호가 유효로 판정이 되었든, 출력 허가가 되지 않아 허가 신호가 무효로 판정이 되었든, 허가 신호(Grant Signal)가 발생하여 해당 입력 버퍼의 해당 출력 셀 주소 FIFO 버퍼에 전달된다.

<77> 출력포트가 허가된 허가 신호에 대하여 요청 FIFO 버퍼의 데이터에 대한 처리는, 중재 회로(223)에 의해 생성된 허가 신호를 이용하여 허가 신호가 발생한 요청 FIFO 버퍼에 대해 리딩원 탐색(leading one detection) 회로(logic)를 이용하여 요청(request)이 존재하는(valid) 가장 앞에 위치한(earliest) 요청(request) 요소(element)를 비유효(invalid) 요청으로 간단히 갱신(update)하여 처리한다.

<78> 도 8 은 본 발명에 따른 중재 요청 신호 처리 과정에서 요청 벡터 생성에 대한 일 실시예 설명도이다.

<79> 각 입력 버퍼에 대한 요청 FIFO 버퍼(2211)에서 중재 회로(223)로 전송되는 요청 벡터(request vector)는 도 8 과 같이 간단한 논리합(OR) 회로(2212)를 이용하여 FIFO 내에 유효 요청(valid request) 데이터가 있는지를 판단하여 하나라도 있으면 요청 벡터(request vector)의 해당 데이터가 요청이 있는 것으로 생성된다.

<80> 도 9 는 본 발명에 따른 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템에서의 일 실시예 처리 타이밍도이다.

<81> 상기 각 기능 블록별 동작들이 연동하여 파이프라인 방식(pipelined)으로 동작 (operation)하는 방식의 이해를 돋기 위하여 요청(request) 신호 전송 지연

(transmission latency)이 1 셀 슬롯(cell slot)이 있고, 허가(grant) 신호 전송 지연(transmission latency)이 1 셀 슬롯이 있고, 중재 지연(arbitration latency)이 1 셀 슬롯이 존재하는 스위치의 예(example)에서 입력 포트에 도달하는 입력 셀(arriving cell)이 본 발명에 따른 중재 지연 내성 스위치(arbitration-latency-tolerant switch)를 거쳐 출력 포트로 전송되는 과정의 타이밍도(timing diagram)를 도 9에 나타내었다. 여기서 파이프라인 단0(pipeline stage0)은 입력 버퍼(input buffer) 단(stage)을 의미하며, 파이프라인 단1(pipeline stage1)은 요청(request) 신호 전송 지연(transmission latency) 단을 의미하며, 파이프라인 단2(pipeline stage2)는 중앙 중재기(central arbiter)의 중재 지연(arbitration latency)을 의미하며, 파이프라인 단3(pipeline stage3)은 허가(grant) 신호 전송 지연(transmission latency) 단을 의미한다.

<82>       파이프라인 단0인 입력 버퍼 단에서는 입력 셀(ingress cell)과 출력 셀(egress cell)의 발착(arrival and departure)이 동시에 일어나며, 다섯번째 셀을 입력받는 시간 슬롯(time slot) S4에서 첫번째 시간 슬롯(time slot) S0에서 입력되었던 셀이 출력 포트를 통하여 전송됨을 보여주고 있다. 즉 스위치 내에서의 셀 지연(cell delay time)이 3 단위 셀 시간(unit cell time)인 4단 파이프라인 구조(4-stage pipelined architecture)를 나타낸다.

<83>       위에서 양호한 실시예에 근거하여 이 발명을 설명하였지만, 이러한 실시예는 하나의 입력 버퍼(input buffer)가 여러 입력 포트(input port)를 g개 공유하는 분산형 공유 입력 버퍼 스위치(distributed type shared input buffer switch)의 경우에도 포함된다. 즉 각 입력 버퍼의 가상 출력 큐(virtual output queue)  $Q_i$  ( $1 \leq i \leq N$ )와 각 가상 출력 큐(virtual output queue) 당 하나의 출력 셀(output cell) 주소(address) FIFO 버퍼

$F_{i,j}$  ( $1 \leq i \leq N$ ,  $1 \leq j \leq L$ )로 이루어진 입력 버퍼  $B_i$  ( $1 \leq i \leq N/g$ )와 각 공유 입력 버퍼 (shared input buffer) 및 출력 셀 주소 FIFO 당 요청 FIFO 버퍼로 이루어진 요청 (request) FIFO 버퍼  $R_{i,j,k}$  ( $1 \leq i \leq N/g$ ,  $1 \leq j \leq N$ ,  $1 \leq k \leq L$ )를 가지는 중앙 중재기 (central arbiter)로 구성된 분산형 공유 입력 버퍼 스위치 (distributed type shared input buffer switch)를 포함한다.

<84> 또한, 위에서 양호한 실시예에 근거하여 이 발명을 설명하였지만, 이러한 실시예에서 전송 지연 (transmission latency)은 중앙 중재기 (central arbiter)와 모든 입력 버퍼들 사이에 (1:다수)를 연결하는 버스형 구조 (bus type)의 전송 선로 (transmission line) 상에서 발생하는 요청 (request) 신호와 허가 (grant) 신호의 전송 지연 (transmission latency)도 포함한다.

<85> 또한, 위에서 양호한 실시예에 근거하여 이 발명을 설명하였지만 이러한 실시예는 중앙 중재기 내의 요청 파이포 (221) 대신에 증감 카운터를 사용하여 구현하는 경우와 입력 버퍼 내의 출력 셀 주소 파이포 (CAF)에 내포된 유효 비트 (Valid bit, 2131) 대신에 증감 카운터를 사용하여 출력 셀 주소 파이포 내의 가장 앞에 위치한 유효 셀 주소를 찾는 경우를 포함한다.

<86> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 【발명의 효과】

<87> 상기한 바와 같은 본 발명은, 본 발명은 각 기능 블록을 모듈화한 설계(modular design) 수단과 각 기능 블록간의 데이터 전송(data transmission)을 파이프라인화한 설계(pipelined design) 수단을 이용하여 모든 동작을 각 단위 데이터 패킷(unit data packet) 처리 시간processing time) 내에 마치도록 하고 각 기능 블록의 결과를 파이프라인(pipeline) 방식으로 전송(transmission)하여 고속 동작을 지원하면서 파이프라인 방식에 의해 발생하는 지연 현상(latency effect)이 스위치에서 각 셀들을 목적하는 출력 포트로 라우팅(routing)하는데 입력 셀의 순서가 바뀐다든가 하는 동작 상의 오류를 범하지 않도록 하면서 스위치의 처리율(throughput)을 높이는 효과가 있다.

<88> 또한, 본 발명은, 본 발명은 입력 버퍼 내에 출력 셀 주소 파이포와, 중앙 중재기에 요청 배열을 포함한 구성을 사용하여 종래의 분산형 입력 버퍼 스위치 시스템에서 해결하기 어려운 고 처리율 지원 문제를 해결하고, 파이프라인 방식을 이용한 고속 동작을 지원함으로써 대용량의 스위치를 적은 비용으로 설계할 수 있으며 다음과 같은 특유의 효과가 있다.

<89> 첫째, 많은 입력 버퍼(input buffer)들로부터 중앙 중재기(central arbiter)로의 요청(request) 신호(signal) 전송(transmission)에 들어가는 전송 지연(transmission latency) 양에 관계없이 고속으로 단위(unit) 셀 처리 시간(cell processing time)당 많은 요청(request) 신호(signal) 전송(transmission)이 가능하고, 중앙 중재기(central arbiter)로부터 많은 입력 버퍼(input buffer)들로의 허가(grant) 신호(signal) 전송(transmission)에 들어가는 전송 지연(transmission latency) 양에 관계없이 고속으로 단위(unit) 셀 처리 시간(cell processing time)당 많은 허가(grant) 신호(signal) 전송

(transmission)이 가능한 효과가 있다.

<90> 둘째, 모든 입력 버퍼의 각 가상 출력 큐(virtual output queue)에 대기 중인 셀들에 대해 하나의 셀 당 하나의 요청(request) 신호만 생성하여 중앙 중재기(central arbiter)로 보내고, 중앙 중재기에서는 허가(grant)되지 않은 요청 신호를 저장하고, 다음 중재에 계속 유효 요청(continuously valid request)으로 사용하여 매 중재 시 유효 요청들의 창 방식(window based) 중재(arbitration)를 가능하게 하는 효과가 있다.

<91> 셋째, 입력 버퍼(input buffer)에 간단한 구조의 출력(output) 셀(cell) 주소(address) FIFO 버퍼(buffer)를 두고, 중앙 중재기(central arbiter)에 간단한 요청(request) FIFO 버퍼(buffer)를 두고, 중재(arbitration)를 하는 본 발명의 분산형 입력 버퍼 스위치(distributed type input buffer switch)는 타 분산형 입력 버퍼 스위치에서 지원하기 어려운 출력 버퍼 스위치(output buffer switch)의 처리율과 같은 높은 처리율(high throughput)을 중재 알고리즘(arbitration algorithm)에 관계없이 근본적으로 지원하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

분산형 입력 버퍼 스위치 시스템에 있어서,

입력포트에 매칭되어 입력된 데이터를 목적하는 출력포트별로 저장 관리하며, 스위칭을 위한 중재 요청을 하고, 중재 요청이 수행된 데이터에 대한 정보를 저장 관리하기 위한 적어도 하나의 입력 데이터 처리수단;

상기 적어도 하나의 입력 데이터 처리수단으로부터 중재 요청 신호를 받아 상기 입력 데이터 처리수단 및 목적하는 출력포트 별로 관리하며, 중재 요청에 따라 중재를 수행하기 위한 중재 수단; 및

상기 입력 데이터 처리수단으로부터 데이터를 전송받아 상기 중재 수단으로부터의 명령에 따라 스위칭을 수행하여 상기 출력포트로 전송하기 위한 스위칭 수단을 포함하는 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템.

**【청구항 2】**

제 1 항에 있어서,

상기 입력 데이터 저장수단은,

입력포트를 통해 입력된 입력 데이터에 대해 출력포트별로 저장 관리하기 위한 적어도 하나의 제1 입력 정보 저장수단;

스위칭을 위한 중재 요청이 수행된 데이터에 대한 정보를 상기 제1 입력 정보 저장수단에 매칭되어 출력포트별로 저장 관리하기 위한 적어도 하나의 제2 입력 정보 저장

수단; 및

상기 제1 입력 정보 저장수단에서 저장 관리하는 입력 데이터에 대해 상기 중재 수 단으로 중재 요청 신호를 전송하고, 중재 요청 신호가 전송된 데이터에 대해 상기 제2 입력 정보 저장수단에서 저장 관리하도록 제어하기 위한 입력 정보 제어수단 을 포함하는 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템.

#### 【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 중재수단은,

상기 입력 데이터 처리수단으로부터 전달된 중재 요청 신호에 대해 상기 입력 데이터 처리수단 및 출력포트 별로 저장 관리하기 위한 적어도 하나의 요청정보 저장수단;

상기 요청정보 저장수단에 저장된 중재 요청 정보에 대해 스위칭이 이루어지도록 중재를 처리하기 위한 중재 처리수단; 및

상기 요청정보 저장수단의 중재 요청 정보 저장 여부를 확인하여 상기 중재 처리수 단으로 중재를 요청하기 위한 중재 요청 제어수단

을 포함하는 중재 지연 내성의 분산형 입력 버퍼 스위치 시스템.

#### 【청구항 4】

제 3 항에 있어서,

상기 제1 입력 정보 저장수단, 제2 입력 정보 저장수단 및 요청정보 저장수단은,

주어진 정보를 입력 순서에 따라 순차적으로 관리하는 것을 특징으로 하는 중재 지역 내성의 분산형 입력 버퍼 스위치 시스템.

### 【청구항 5】

제 3 항에 있어서,  
상기 데이터 및 신호의 전송은,  
각 구성요소간에 파이프 라인 방식으로 이루어지는 것을 특징으로 하는 중재 지역 내성의 분산형 입력 버퍼 스위치 시스템.

### 【청구항 6】

중재 지역 내성의 분산형 입력 버퍼 스위치 시스템에 적용되는 입력 데이터 처리 방법에 있어서,  
입력 데이터 처리수단에서 매칭되는 입력포트로부터 입력 데이터를 받아 목적하는 출력포트별로 저장 관리하는 제 1 단계;  
상기 입력 데이터 처리수단에서 상기 입력 데이터에 대한 중재 요청 신호를 중재 수단으로 전송하고 중재 요청 신호가 전송된 입력 데이터에 대한 정보를 저장 관리하는 제 2 단계;  
중재수단이 전송받은 중재 요청 신호에 대해 입력 데이터 처리수단 및 목적하는 출력포트별로 관리하는 제 3 단계;

입력 데이터 처리수단과 목적 출력포트에 따라 중재 요청을 확인하여 중재를 수행하고 그 결과를 상기 입력 데이터 처리수단과 스위칭 수단으로 전송하는 제 4 단계; 및 상기 입력 데이터 처리수단이 출력 허가 신호를 수신하여 저장된 입력 데이터에 대한 정보를 확인하고 스위칭 수단으로 전송하여 입력 데이터에 대한 처리를 수행하는 제 5 단계  
를 포함하는 입력 데이터 처리 방법.

#### 【청구항 7】

제 6 항에 있어서,  
상기 제 1 단계는,  
상기 입력 데이터 처리수단이 매칭되는 입력포트로부터 입력 데이터를 전송받는 제 6 단계; 및  
상기 입력 데이터를 목적하는 출력포트 별로 해당하는 제1 입력정보 저장수단에서 저장 관리하는 제 7 단계  
를 포함하는 입력 데이터 처리 방법.

#### 【청구항 8】

제 7 항에 있어서,  
상기 제 2 단계는,  
상기 제1 입력 정보 저장수단에서 저장 관리하는 입력 데이터 중 중재 요청 신호를

발생하지 않은 데이터에 대해 중재 요청을 수행하기 위해 상기 제1 입력 정보 저장수단에 매칭되며, 중재 요청 신호를 생성하여 전송한 입력 데이터에 대한 정보를 저장하는 제2 입력 정보 저장수단에 소정 갯수 이상의 입력 데이터에 대한 정보가 저장되어 있는지를 확인하는 제 8 단계;

상기 제 8 단계의 확인 결과, 소정 갯수 이상의 입력 데이터에 대한 정보가 저장되어 있으면 소정 시간 대기 후 상기 제 8 단계부터 반복 수행하는 제 9 단계; 및

상기 제 8 단계의 확인 결과, 소정 갯수 이상의 입력 데이터에 대한 정보가 저장되어 있지 않으면 중재 수단으로 중재 요청이 수행되지 않은 입력 데이터에 대한 중재 요청 신호를 전송하고 상기 제2 입력 정보 저장수단에 상기 데이터에 대한 정보를 저장하는 제 10 단계

를 포함하는 입력 데이터 처리 방법.

#### 【청구항 9】

제 8 항에 있어서,

상기 제 10 단계는,

상기 제2 입력 정보 저장수단에 소정 갯수 이상의 입력 데이터에 대한 셀 주소 정보가 저장되어 있지 않아 정보를 저장할 수 있는 여유 공간이 있으면, 상기 제1 입력 정보 저장수단이 저장 관리하며, 중재 대기중인 입력 데이터에 대해 중재 요청 신호를 상기 중재 수단으로 전송하는 제 11 단계;

상기 제2 입력 정보 저장수단에 저장되어 있는 기존의 셀 주소 정보를 쉬프트시키

고 상기 입력 데이터에 대한 셀 주소 정보를 상기 제2 입력 정보 저장수단에 입력 순서에 따라 순차적으로 저장하는 제 12 단계; 및

상기 제1 입력 정보 저장수단에서는 중재 요청을 대기중인 다음 입력 데이터에 처리할 수 있도록 처리할 데이터에 대한 정보를 변경하는 제 13 단계  
를 포함하는 입력 데이터 처리 방법.

#### 【청구항 10】

제 6 항에 있어서,

상기 제 3 단계는,

중재수단의 전송받은 중재 요청 신호의 입력 데이터 처리수단 및 목적하는 출력포트를 확인하는 제 6 단계;

확인된 입력 데이터 처리수단 및 목적하는 출력포트에 해당하는 요청 정보 저장수단에서 기존의 중재 요청 정보를 쉬프트시키는 제 7 단계; 및

전송받은 중재 요청 신호를 입력 순서에 따라 순차적으로 상기 요청 정보 저장수단에 저장하는 제 8 단계

를 포함하는 입력 데이터 처리 방법.

#### 【청구항 11】

제 6 항에 있어서,

상기 제 4 단계는,

입력 데이터 처리수단 및 목적하는 출력포트에 따른 요청 정보 저장수단에 중재 요청 정보가 저장되어 있는지를 확인하는 제 6 단계;

중재 요청 정보가 있는 요청 정보 저장수단에 대해 중재 요청 벡터를 생성하여 중재 처리수단으로 전송하는 제 7 단계;

상기 중재 처리수단이 각 요청 정보 저장수단으로부터의 중재 요청 벡터를 확인하여 중재를 수행하는 제 8 단계;

중재 수행 결과를 상기 입력 데이터 처리수단과 스위칭 수단으로 전송하는 제 9 단계; 및

중재가 수행되어 출력이 허가된 요청 정보 저장수단에 저장된 중재 요청 정보 중 가장 오래된 중재 요청 정보를 삭제하는 제 10 단계  
를 포함하는 입력 데이터 처리 방법.

### 【청구항 12】

제 6 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 제 5 단계는,

상기 중재 수단으로부터의 출력 허가 신호를 수신한 상기 입력 데이터 처리수단이 제2 입력 정보 저장수단에서 저장 관리하는 가장 오래된 입력 데이터의 셀 주소를 확인하는 제 14 단계;

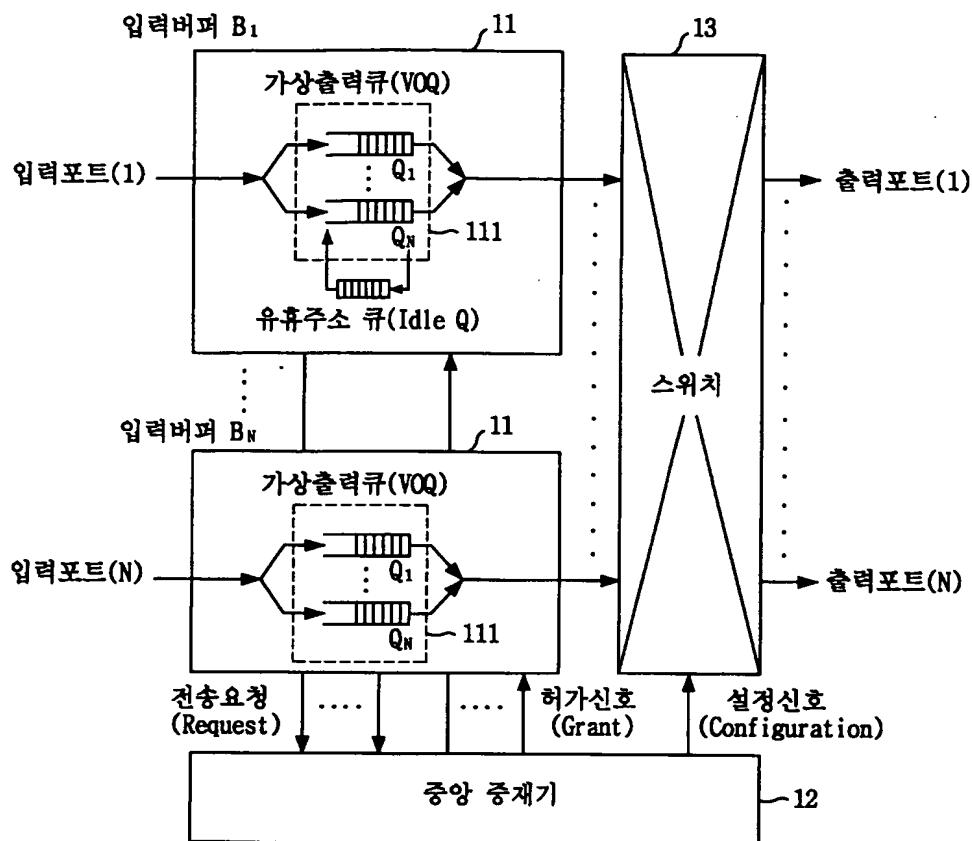
확인된 셀 주소를 이용하여 상기 입력 데이터를 찾아 스위칭 수단으로 전송하는

제 15 단계;

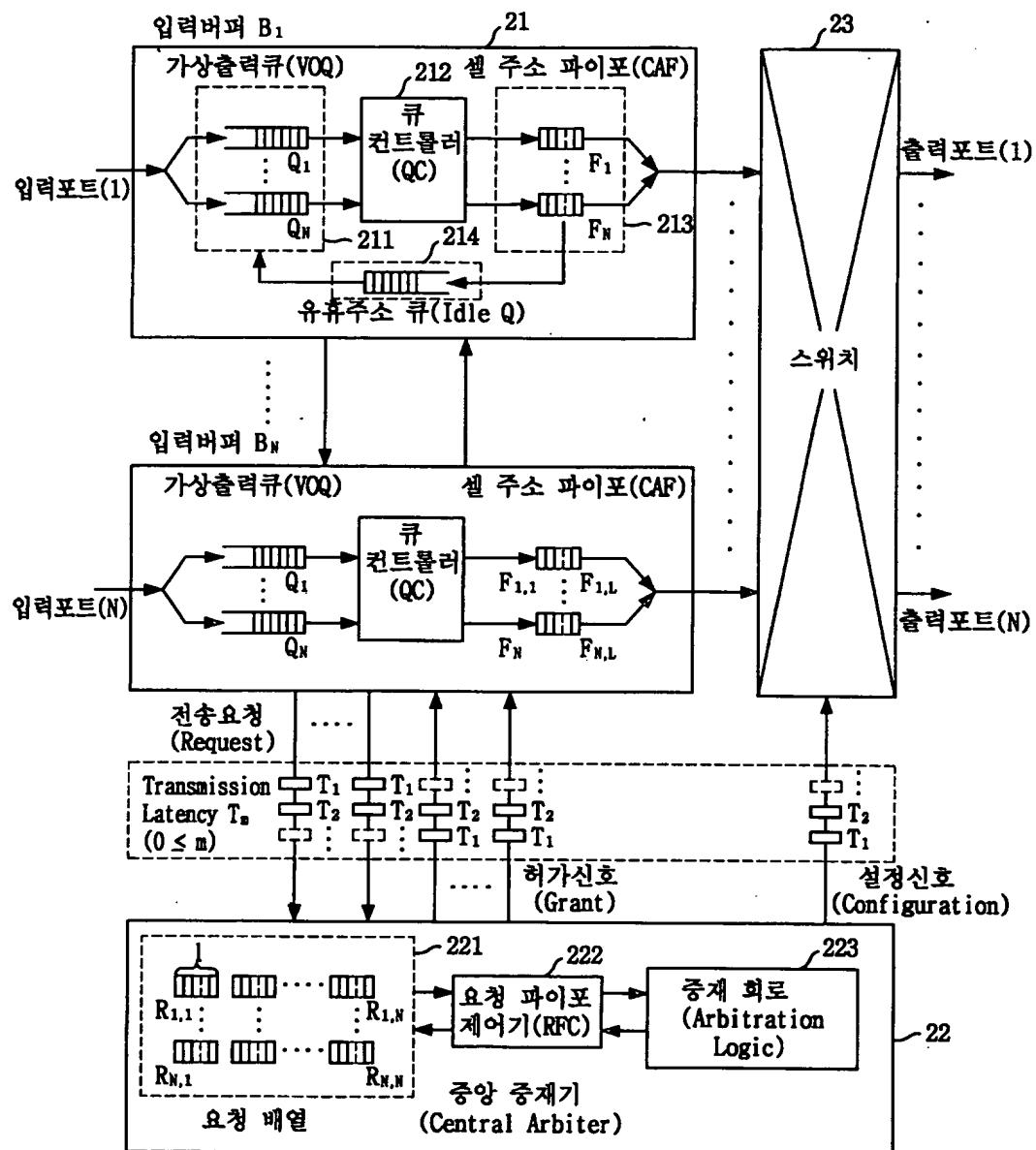
셀 주소가 저장되어 있던 상기 제 2 입력 정보 저장수단의 해당 요소에 저장 관리되고 있는 셀 주소가 없음을 표시하는 제 16 단계; 및  
상기 입력 데이터 처리수단에 새로운 입력 데이터가 들어오면 이를 저장할 수 있도록 제2 입력 정보 저장수단으로부터 셀 주소를 유휴 셀 주소 저장수단에 저장하는 제 17 단계  
를 포함하는 입력 데이터 처리 방법.

## 【도면】

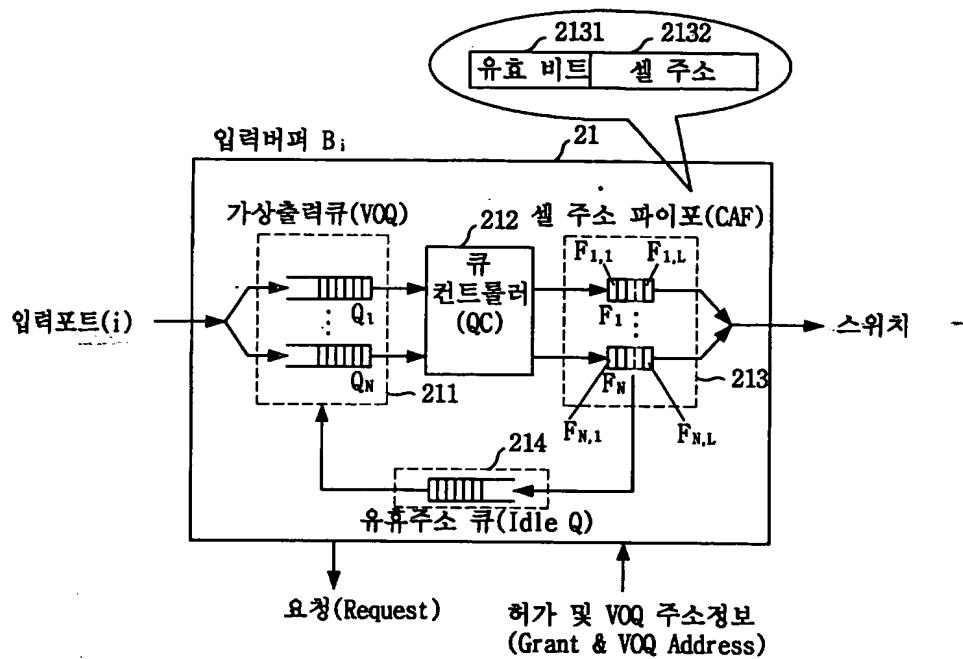
【도 1】



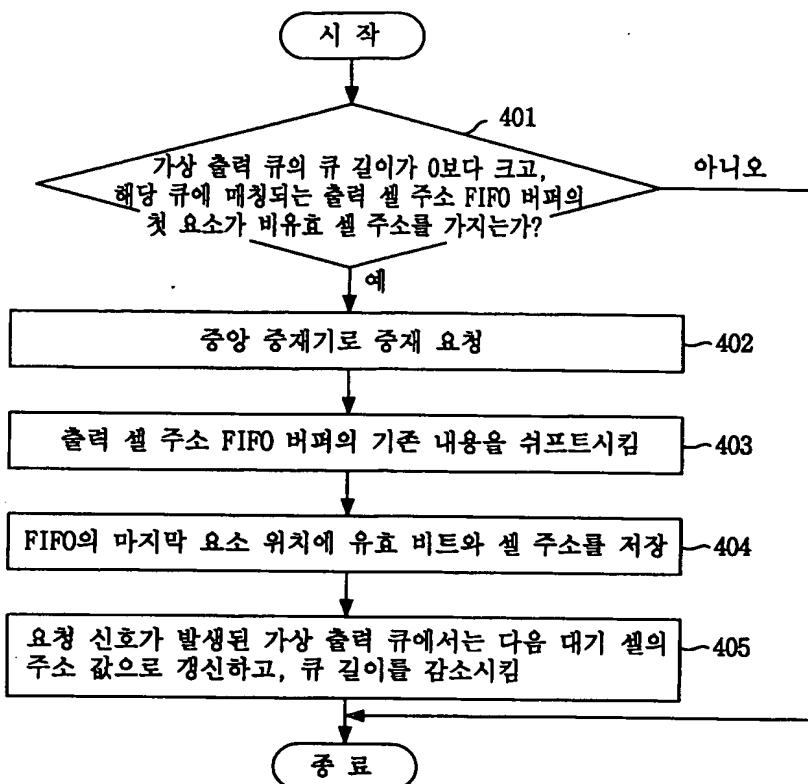
【도 2】



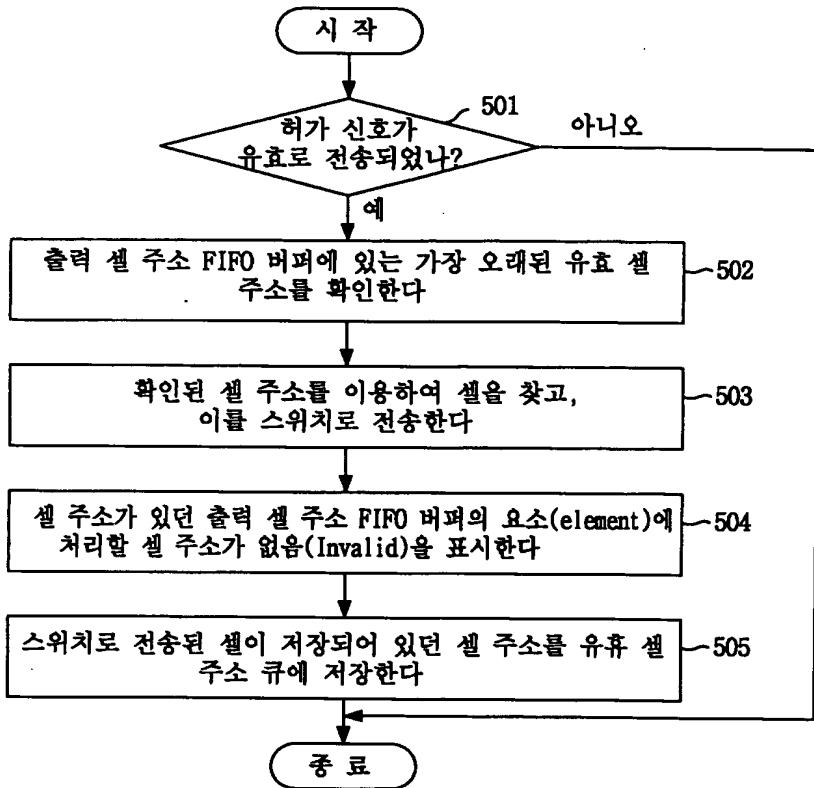
【도 3】



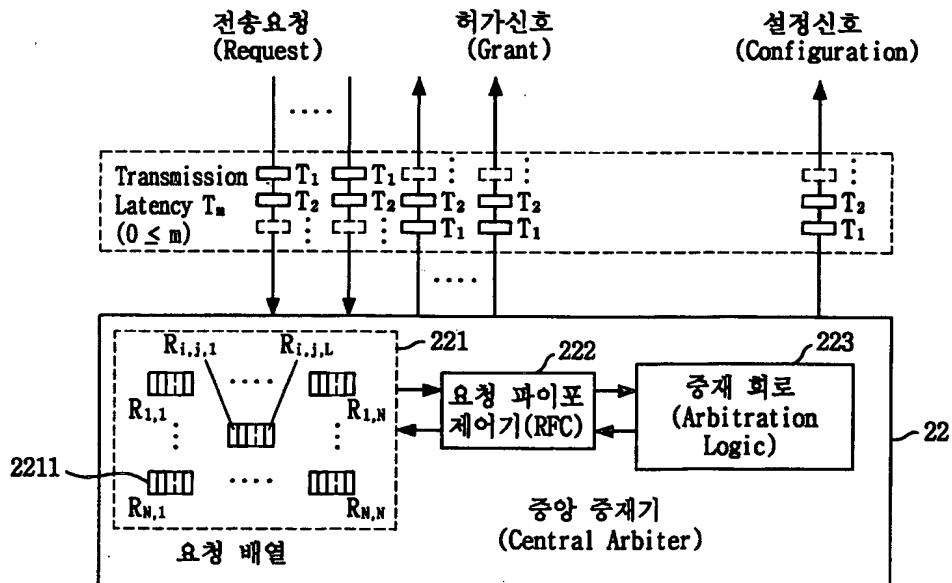
【도 4】



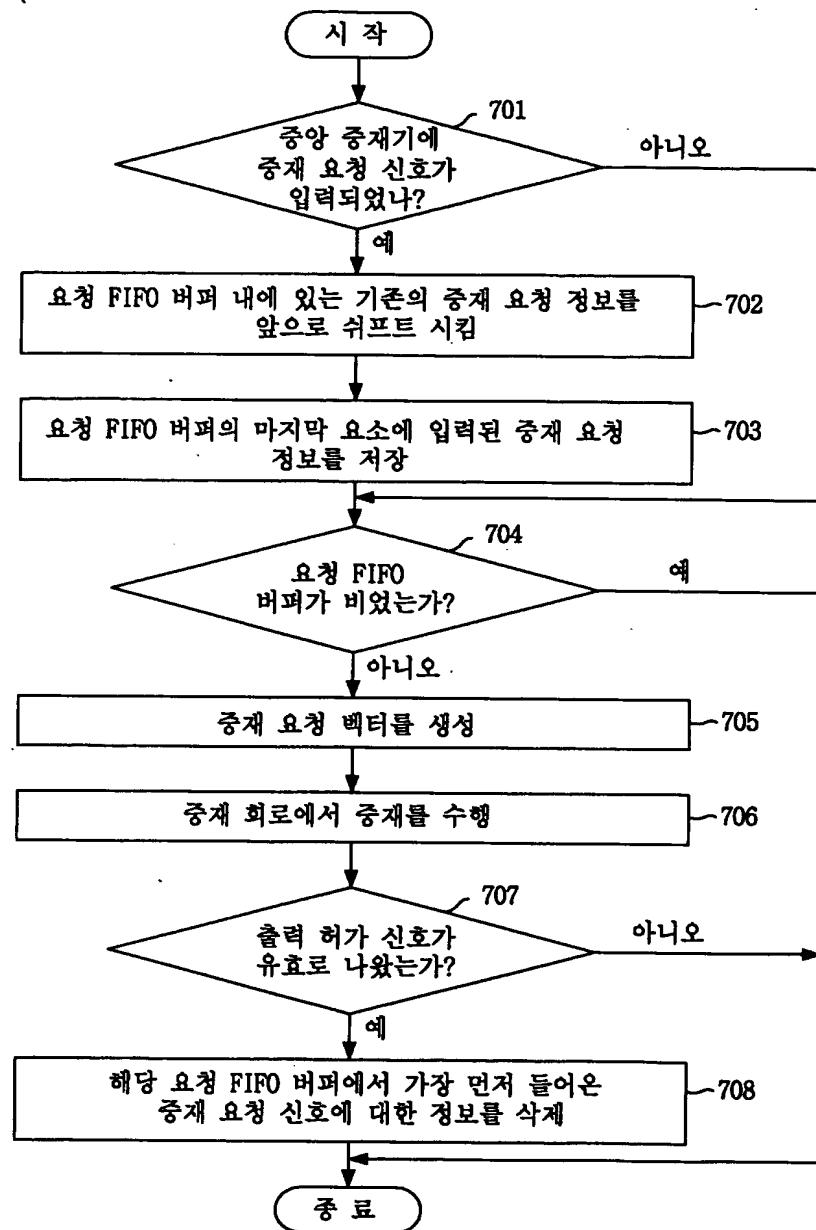
【도 5】



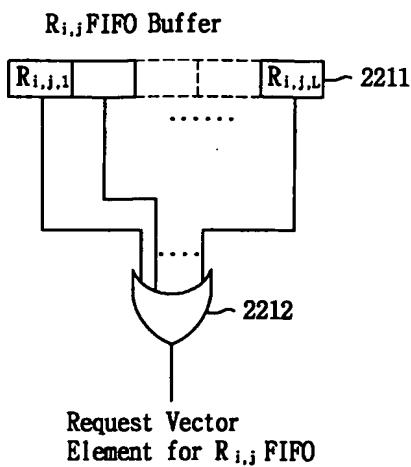
【도 6】



【도 7】



【도 8】



【도 9】

	Pipeline Stage 0	Pipeline Stage 1	Pipeline Stage 2	Pipeline Stage 3	Pipeline Stage 0
Time Slot S <sub>0</sub>	S <sub>0</sub> Cell Arrival	S <sub>0</sub> Request Tr.	S <sub>0</sub> Arbitration	S <sub>0</sub> Grant Tr.	S <sub>0</sub> Cell Depart
Time Slot S <sub>1</sub>	S <sub>1</sub> Cell Arrival	S <sub>1</sub> Request Tr.	S <sub>1</sub> Arbitration	S <sub>1</sub> Grant Tr.	S <sub>1</sub> Cell Depart
Time Slot S <sub>2</sub>	S <sub>2</sub> Cell Arrival	S <sub>2</sub> Request Tr.	S <sub>2</sub> Arbitration	S <sub>2</sub> Grant Tr.	S <sub>2</sub> Cell Depart
Time Slot S <sub>3</sub>	S <sub>3</sub> Cell Arrival	S <sub>3</sub> Request Tr.	S <sub>3</sub> Arbitration	S <sub>3</sub> Grant Tr.	S <sub>3</sub> Cell Depart
Time Slot S <sub>4</sub>	S <sub>4</sub> Cell Arrival	S <sub>4</sub> Request Tr.	S <sub>4</sub> Arbitration	S <sub>4</sub> Grant Tr.	S <sub>4</sub> Cell Depart
Time Slot S <sub>5</sub>	S <sub>5</sub> Cell Arrival	S <sub>5</sub> Request Tr.	S <sub>5</sub> Arbitration	S <sub>5</sub> Grant Tr.	S <sub>5</sub> Cell Depart
Time Slot S <sub>6</sub>	S <sub>6</sub> Cell Arrival	S <sub>6</sub> Request Tr.	S <sub>6</sub> Arbitration	S <sub>6</sub> Grant Tr.	S <sub>6</sub> Cell Depart